**Vorlesung 7**

**\*\*\***

**Folie 3**

Folie 3 zeigt den Verstärker mit einer kapazitiven Last.

In Vorlesung 6 haben wir die folgenden Parameter hergeleitet:

Verstärkung:

gm \* Rout mit Rout = rdsin || rdsload.

AC Übertragungsfunktion:

A(s) = Vout(s)/ Vin (s) = –gm Rout/(1 + s Rout \* Cout)

Gegenkopplung wird benutzt um 1) einen richtigen Arbeitspunkt herzustellen und um eine stabile (Temperaurunabhängige) Verstärkung zu bekommen.

**\*\*\***

**Folie 4**

Folie 4 zeigt den Verstärker mit Gegenkopplung.

Mit GK haben wir die folgende Übertragungsfunktion:

Afb = (Ain Aol(s))/(1+beta A(s)) ~ - 1/beta (1 + s Cout/beta gm)

Aol(s) = –gm Rout/(1 + s Rout \* Cout)

Ain = Cin/(Cin+Cfb)

Beta = Cfb/(Cin+Cfb)

Die Annahmen sind Cin >> Cfb und Cfb << Cout.

Diese Schaltung hat zwei Nachteile:

Die Leerlaufverstärkung (Aol) ist zu niedrig um eine gute Linearität mit GK zu erreichen.

**\*\*\***

**Folie 5**

Es gibt auch ein weiterer Nachteil, für Vin = Vout (DC Rückkopplung) kann die Ausgangsspannung nur noch um Vth sinken. Für niedrigere Vout kommt der Transistor Tin in den linearen Bereich und seine Verstärkung sinkt. Typischerweise darf die positive Vout Amplitude höher sein als die negative. Das heißt, wir können nur die negativen Eingangssignale in der Regel besser verstärken. Das ist nicht immer problematisch – oft sind die Signale unipolar.

**\*\*\***

**Folie 6**

Kommentar zum Rout:

Vergleich zu Übungen:

Die AC-Schaltung mit dem Transistor-Verstärker hat praktisch die gleiche Form wie die Schaltung in aus der Übung 1 (bis auf die leicht geänderte GK).

Der Unterschied ist, dass wir jetzt eine gesteuerte Stromquelle mit dem Widerstand Rout haben – in der Übung war es eine Spannungsquelle. Da man eine Stromquelle mit dem Strom gm Vgs und dem Widerstand Rout in eine Spannungsquelle mit Spannung gm Vgs \* Rout und dem Widerstand Rout überführen kann, sind die Schaltungen gleichwertig.

Es gibt aber einen kleinen Unterschied: Rout ist typischerweise größer als 10 kOhm. (Wert aus der Übung) Man könnte zum Schluss kommen, dass die Schaltung mit Transistoren zu langsam ist. (Die zeitkonstante ohne RK ist Rout \* Cout) Beachten wir aber, dass mit RK die Zeitkonstante um beta A = beta \* gm \* Rout schneller wird. Beta A hängt also auch von Rout ab. Dementsprechend ist die Geschwindigkeit mir RK von Rout unabhängig:

Tfb = gm/Cout (1)

 (Wenn Rout steigt wird die Zeitkonstante ohne RK zwar langsamer aber beta A gleichzeitig höher.) Ähnliches kann man auch für den Ausgangswiderstand mit RK zeigen.

**\*\*\***

**Folie 7**

Erhöhung der Verstärkung:

Wie können wir die Verstärkung erhöhen? Ein Möglichkeit ist es nur Rout zu erhöhen und gm niedrig zu halten. Wir sehen aber, dass wir für eine schnelle Antwort auch höhe gm brauchen (s. Gl. 1). Deshalb sollten wir beides gm und rout maximieren.

Rout ist die Parallelschaltung von zwei rds-Widerständen.

Wie in Vorlesung 5 erklärt wurde, haben wir höhere rds Werte für Lange Transistoren. Es gilt:

rds = Esat L / Ids.

Für gm gilt:

gm = sqrt (2\* W/L \* mu \* Cox \* Ids) (starke Inversion)

gm = Ids/nUT (schwache Inversion).

Wenn wir L vom Tin erhöhen, und andere Parameter konstant lassen, verbessern wir seinen rds aber verschlechtern gm. Das wollen wir nicht. Also, um beides zu erhöhen (gm und Rout), müssen wir also sowohl W als auch L des Eingangstransistors hochskalieren.

Nachteil: Dadurch wird das Layout des Transistors und seine Eingangskapazität groß. Ein große Eingangskapazität ist schlecht – erinnern wir uns an das Beispiel in der Übung wo der Verstärker leicht instabil geworden ist (es gab einige Schwingungen) als wir Cin eingefügt haben.

Die Optimierung von Tin ist also schwierig.

**\*\*\***

**Folie 8**

Ich würde die folgende Optimierungsmethode empfehlen:

Wir fangen von der Spezifikationen für den Leistungsverbrauch an.

Bestimmen wir entsprechend dieser Spezifikation einen sinnvollen Ids Strom: z.B. 40uA.

Eine Transistorlänge wir festgelegt:

L = m\*Lmin (m~3).

L soll in der Regel wenigstens 2-3 x Lmin sein, sonst wäre rds zu schlecht.

Wie skalieren W hoch bis Vdssat auf etwa 100mV kommt. Dann sind wir an der Grenze der schwachen Inversion und eine weitere W-Erhöhung hilft nicht mehr. Sie vergrößert gm nicht und macht den Transistor unnötig größer.

**\*\*\***

**Folie 9**

Optimierung von Tload

Die Last-Stromquelle Tload ist einfacher zu optimieren da ihre gm unwichtig ist. Wir sollen nur rds maximieren. Wir wählen deshalb ihre Länge (L\_pmos) groß. Beachten wir aber, dass wir damit bei einem gegebenem Strom |Vgs | erhöhen. Das heißt der Transistor kommt aus der Sättigung für niedrigere Vout Spannungen. Der Signalbereich ist eingeschränkt.

Hier können wir folgendes machen: Zuerst eine Vdssat wählen - z.B. ~200mV, dann eine L\_pmos von etwa 2\*L\_nmos wählen und W entsprechend hoch skalieren so dass wir Vdssat von 200mV erreichen.

Es gilt: Vdssat = sqrt( I \* L/W / (mu\*cox)

Nach solch einer Optimierung, bekommen wir man in der Regel:

rdsin << rdsload weil die Konstante Esat für PMOS (6.4V/um) höher als für NMOS (2.4V/um) ist und weil L\_pmos = 2\*L\_nmos.

(rds = Esat L / Ids)

Es gilt also A = -gm \* rdsin||rdsload ~ -gm \* rdsin.

**\*\*\***

**Folie 10**

Berechnen wir jetzt eine typische Verstärkung:

Für schwache Inversion gilt: gm = Ids/nUt. (n = 1.5)

Rds ~ Esat L / Ids mit Esat (NMOS) ~ 2.4V.

Die Verstärkung ist:

A = - Esat L / Ids \* Ids/nUt = m\*Lmin \* Esat/nUT ~ m \* 4 ~ 12

(Lmin = 65nm)

Es ist schwierig auf diese Weise höhe Verstärkungen zu erreichen.

(Übungsschaltung hat die maximale Verstärkung von 30)

Es gibt einen Trick das zu verbessern – die Kaskode.

**\*\*\***

**Folie 11**

Verstärker mit Kaskode

Erinnern wir uns, die Kaskode ist ein Impedanzwandler.

In erster Näherung gilt: Iout = Iin

Die Eingangsimpedanz ist niedrig (1/gmcasc), die Ausgangsimpedanz ist hoch.

Rout = gmcasc \* rdscasc \* rdssig

**\*\*\***

**Folie 12**

Folie 12 zeigt den Spannungsverstärker mit Kaskode.

Eine ideale Kaskode leitet den Strom des U-I Wandlers durch.

Deshalb ist die Verstärkung durch die gleiche Formel wie ohne Kaskode gegeben:

A = -Ids \*Rout = - gm Vgs \* Rout

Rout ist höher als ohne Kaskode: Rout setzt sich aus zwei Widerständen in Parallel zusammen. (Das kann man sehen wenn man AC-Kleinsignalmodel zeichnet.) Einen Widerstand erzeugt die Schaltung oberhalb vom Ausgang – die Last-Stromquelle.

Dieser Widersand ist rds\_load. Den anderen Widerstand erzeugen die Schaltungen unterhalb des Ausgangs. Erinnern wir uns an Ergebnis für den Ausgangswiderstand einer Kaskode:

Es ist gm\_casc rds\_casc \* rds, wo rds der Widerstand des Bauteils ist, der an die Kaskode angeschlossen ist. Das ist in unserem Fall der Eingangstransistor.

**\*\*\***

**Folie 13**

Vergleichen wir die Widerstände vom Ausgang nach unten mit und ohne Kaskode.

Ohne Kaskode: rds

Mit Kaskode: gm\_casc rds\_casc \* rds

Mit Kaskode haben wir einen um mindestens Faktor 10 größeren Widerstand.

Die Spannungsverstärkung mit Kaskode ist

A = - gm (rds\_load || gm\_casc rds\_casc \* rds)

Ohne Kaskode war es:

A = - gm (rds\_load || rds)

Typischerweise ist die Verstärkung mit Kaskode mindestens um Faktor 10 höher.

**\*\*\***

**Folie 14**

Für AC Signale gilt:

A(s) ~ -gm Rout/(1 + s Cout\*Rout)

Die Schaltung mit Kaskode hat um Faktor Rout\_casc/Rout höhere DC-Verstärkung und um den gleichen Faktor niedrigere Bandbreite ohne Gegenkopplung. Wenn man eine Gegenkopplung verwendet, sind beide Schaltungen gleich schnell.

**\*\*\***

**Folie 15**

Wir haben bis jetzt für die Kaskode folgendes angenommen: Iout\_casc = Iin\_casc.

Das gilt nur für sehr niedrige Eingangswiderstände der Kaskode (Rin\_casc = 1/gmcasc).

In Wirklichkeit haben wir am Eingang der Kaskode einen Stromteiler. Es gilt:

Iout\_casc = Iin\_casc \* rds /(1/gm\_casc + rds)

Rds ist der Drain-Source Widerstand des Eingangstransistors.

Für rds >> 1/gm\_casc gilt: Iout\_casc ~ Iin\_casc.

Wenn die Kaskode zu „schwach“ dimensioniert ist (gmcasc niedrig) haben wir Iout\_casc << Iin\_casc. Der Verstärker mit Kaskode ist dann, auch mit Gegenkopplung, langsamer als ein einfacher Verstärker ohne Kaskode.

**\*\*\***

**Folie 16**

Die Schaltung mit Kaskode hat in Prinzip noch eine Zeitkonstante. Sie ist Cgs\_casc/gm\_casc. Diese Zeitkonstante ist normalerweise viel schneller als die dominante Zeitkonstante und beeinflusst die Schaltung und die Stabilität nicht.

**\*\*\***

**Folie 17**

Ein Verstärker mit Kaskode hat eine höhere Spannungsverstärkung bei gleicher gm – es ist also fast immer gut eine Kaskode zu verwenden.

**\*\*\***

**Folie 18**

Wenn man eine Erweiterung (z.B. Kaskode) in eine Schaltung einbaut um einen Parameter (z.B. Verstärkung) zu verbessern werden oft andere Eigenschaften verschlechtert.

Im Fall vom Verstärker mit Kaskode bekommen so wir einen kleineren Signalbereich.

Erinnern wir uns: Damit ein Transistor in Sättigung bleibt muss seine Drain-Source-Spannung höher als Vdssat sein.

Vdssat = Vgs-Vth = sqrt (2\*(L/W)\*I/(mu Cox))

Wenn wir, neben dem Eingangstransistor, noch den Kaskoden-Transistor haben, muss die Ausgangsspannung (bzw. das Potential) hoch genug sein, so dass beide Transistoren in Sättigung abreiten. Das ist mindestens Vdssat\_in + Vdssat\_casc.

(Diese minimale Spannung gilt nur wenn wir das Gate-Potential der Kaskode so wählen, dass die Source der Kaskode auf dem Potential Vdssat\_in ist.)

Ein eingeschränktes Signalbereich am Ausgang ist schlecht da es zu kleinerem Signal zu Rauschen Verhältnis (SNR) führt. Das Rauschen ist normalerweise von Verstärkung unabhängig. Das „Rezept“ um SNR zu erhöhen ist es die Signalamplitude am Ausgang des Verstärkers zu maximieren.

**\*\*\***

**Folie 19**

Wir könnten auch den Stromspiegel mit Kaskoden erweitern (kaskodieren) um die Spannungsverstärkung weiter zu erhöhen.

Solch ein Stromspiegel ist in Fole 19 zu sehen. Der Ausgangswiderstand des Stromspiegels:

rds\_casc2 \* gm\_casc2 \* rds\_load.

**\*\*\***

**Folie 20**

**Stromspiegeln mit Kaskoden**

Die Transistoren eines Stromspiegels werden oft mit Kaskoden erweitert. Mit Kaskoden möchte man im Prinzip zwei Dinge erreichen:

1) Den Ausgangswiderstand verbessern um z.B. die Spannungsverstärkung zu erhöhen, wenn ein Stromspiegel als Last-Element benutzt wird.

2) Den Fehler beim Strom-Kopieren minimieren. Der Fehler entsteht deswegen, weil wir endliche rds vom Dioden- und Ausgangstransistor haben und weil die Drain-Spannungen verschieden sind.

**\*\*\***

**Folien 21 und 22**

Für 1) wäre es genug nur den Ausgangstransistor zu kaskodieren. Für 2) ist es besser beide Transistoren zu kaskodieren. Im zweiten Fall (Folie 22) sind die Drain-Source Spannungen vom Dioden- und Ausgangstransistor gleich. Das gilt weil die Kaskoden-transistoren praktisch die gleichen Vgs Spannungen haben – die Transistoren haben identische Größen und leiten die gleichen Ströme. Ihr Gate Potential ist ebenfalls gleich, also habe die Source-Knoten auch demselben Potential.

Damit alles wie beschrieben funktioniert, müssen das Kaskoden-Gatepotential und die Dimension von Kaskoden so gewählt werden damit alle Transistoren in Sättigung arbeiten. Das ist insbesondere bei dem Diodentransistor schwierig.

**\*\*\***

**Folie 23**

Folgendes muss erfüllt werden:

Vgate\_c(min) = Vdssat\_dio + Vdssat\_c + Vth

Dann ist der Dioden-Transistor in Sättigung

Vgate\_c(max) = Vgate\_dio + Vth = Vdssat\_dio + 2 \* Vth

Dann ist der Kaskoden-Transistor in Sättigung

Es gilt Vgate\_c(max) - Vgate\_c(min) = Vth - Vdssat\_c

Also, die Kaskode muss breit genug sein damit ihre Vdssat kleiner als Vth ist.

Es ist besser Vgate nah zu Vgate\_c(min) zu wählen, da wir dadurch einen höheren Signalbereich am Ausgang haben.

In dem Fall gilt: Vout > Vdssat\_dio + Vdssat\_c. (A)

**\*\*\***

**Folie 24**

Eine einfachere Variante des Stromspiegels mit Kaskode ist in Folie 24 dargestellt. Hier brauchen wir keine externe Spannungsquelle für Kasoden-Gate. Beachten wir auch, dass der Dioden-Transistor eigentlich keine Kaskode hat. Trotzdem sind die Drain Potentiale des Dioden- und Ausgangstransistors praktisch gleich. Dieser Stromspiegel ist einfacher zu realisieren - es funktioniert immer richtig wenn die Ausgangsspannung hoch genug ist.

Für die Ausgangsspannung gilt die folgende Bedingung:

Vout > Vdssat\_dio + Vdssat\_c + Vth (B)

Es ist um Vth schlechter als bei dem ersten Spiegel (s. Gl. A). Fazit: Der zweite Stromspiegel ist einfacher zu realisieren – hat aber einen eingeschränkten Signalbereich. In nm-Technologien, wo die Versorgungsspannung typischerweise ~1V ist, ist es ein Nachteil.

**\*\*\***

**Folie 25**

Diese Folie zeigt eine einfachere Version des Stromspiegels mit Kaskoden (Folie 23). Der Signalbereich am Ausgang ist durch die Gleichung A gegeben.

Im Gegensatz zur Schaltung von Folie 23, brauchen wir keine getrennte Spannung für die Gates der Kaskoden.

Die Sättigungsbedingung für den Dioden-Transistor lautet:

Vgate\_c = Vdssat\_dio + Vth\_dio > Vdssat\_dio + Vdssat\_c + Vth\_casc

Das ist erfüllt wenn: Vth\_dio > Vdssat\_c + Vth\_casc

Die Kaskoden müssen also mit Low-Threshold Transistoren realisiert werden.

Moderne CMOS Prozessen bieten solche Transistoren an.

**\*\*\***

**Folie 26**

**Dynamikbereich**

Rechnen wir jetzt den Signalbereich am Ausgang des Verstärkers mit Kaskode: Um die Analyse zu vereinfachen nehmen wir an, dass wir keinen Stromspiegel mit Kaskode haben - es bleibt nur die Kaskode am Eingangstransistor.

Wenn wir Kaskoden-Gate-Potential optimal wählen, muss das Ausgangspotential im folgenden Bereich liegen:

Vout\_min = Vdssat\_in + Vdssat\_casc

Vout\_max = VDD - Vdssat\_load

Nehmen wir folgende Werte an: NMOS (Kaskode und Eingangstransistor): Vdssat ~ 100mV, PMOS Vdssat ~ 200mV, Die Schwelle-Spannung ist etwa 400mV (65nm Technologie).

Wir bekommen:

Vout\_min ~ 200mV

Vout\_max ~ VDD - 200mV

**\*\*\***

**Folie 27**

Wenn wir den Verstärker mit einer Gegenkopplung stabilisieren, die für Vin = Vout sorgt, haben wir ohne Signal am Ausgang etwa 500mV. (Vth + Vdssat)

Wir sehen, dass wir nach unten nur noch etwa 300mV Signalhub haben. Nach oben ist es VDD – 700mV. Für hohe VDD haben wir mehr Signalbereich nach oben.

Ist gebe eine Liste der Versorgungsspannungen:

350nm Technologien: VDD = 3.3V, Vplus = 2.6V, Vminus = 300mV

180nm Technologien: VDD = 1.8V, Vplus = 1.1V, Vminus = 300mV

65nm Technologie: VDD = 1.2V, Vplus = 0.5V, Vminus = 300mV

Wir sehen, dass es eine Asymmetrie zwischen den maximalen negativen und positiven Signalen gibt - sie wird aber in moderneren Technologien niedriger.

Ich werde in weiteren Folien eine Möglichkeit zeigen die Schaltung symmetrischer zu machen.

**\*\*\***

**Folie 28**

Bemerken wir, dass eine Kaskode auch als Schaltung für Addieren von mehreren Strömen benutzt werden kann. Wir können an die Source Elektrode mehr als eine Stromquelle anschließen. Das ist oft nützlich. Oft ist eine Quelle die Signalquelle und eine andere Quelle erzeugt einen konstanten Biasstrom.

**\*\*\***

**Folie 29**

Es ist in Prinzip möglich auch PMOS Transistor für die Kaskode im Spannungsverstärker zu verwenden.

Solch eine Schaltung ist in Folie 29 gezeigt. Um einen Richtigen Arbeitspunkt für die PMOS Kaskode zu sichern müssen wir noch zwei Änderungen machen.

**\*\*\***

**Folie 30**

Wir schlissen an Source der Kaskode eine PMOS Stromquelle um einen richtigen Arbeitspunkt von Kaskode zu erreichen.

**\*\*\***

**Folie 31**

Wir verwenden einen NMOS Stromspiegel (NMOS Stromquelle) als Last-Element.

**\*\*\***

**Folie 32**

Leiten wir zuerst die Kleinsignalschaltung her. Wir entfernen alle konstanten Stromquellen. Die PMOS Bias-Quelle stellt für AC-Signale nur einen relativ großen rds Widerstand dar, der in parallel mit dem rds Widerstand vom Eingangstransistor steht. NMOS Last erzeigt einen Lastwiderstand rds\_load.

Wenn wir diese Schaltung mit der Kleinsignalschaltung des gewöhnlichen Verstärkers mit Kaskode (genannt „direkte Kaskode“) (Folie 12) vergleichen, sehen wir, dass die Schaltungen identisch sind. Dementsprechend sind auch die Parameter wie Verstärkung, Rout, usw. mit den gleichen Formeln gegeben.

Der Signalpfad macht im Verstärker mit PMOS Kaskode scheinbar eine Kurve (Falte) und hat sowohl seinen Anfang als auch sein Ende in der Masse. Deswegen wird solch eine Kaskode gefaltete Kaskode (folded Cascode) genannt.

Erinnern wir uns auch an die Korrektur für Iout\_casc ungleich Iin\_casc (Folie 15).

Iout\_casc = Iin\_casc \* rds /(1/gm\_casc + rds)

Rds ist hier eigentlich Rds\_in || Rds\_bias; näherungsweise Rds\_in (Rds des Eingangstransistors).

Diese Korrektur ist oft bei gefalteten Kaskoden bedeutend, da gm\_casc klein sein kann.

**\*\*\***

**Folie 33**

Die DC Schaltungen von Verstärkern mit direkter- und gefalteter Kaskode sind unterschiedlich.

Betrachten wir die Großsignalschaltung mit der gefalteten Kaskode. Im Fall, dass alle Transistoren in Sättigung sind, fließen die auf Folie 33 gekennzeichneten Bias-Ströme. Durch den Last-NMOS –Transistor und die PMOS Kaskode fließt INLoad. Durch die PMOS Bias-Quelle fließt IPBias. Durch den Eingangstransistor fließt IPBias - INload.

Es macht Sinn INLoad relativ klein zu halten und IPBias groß.

Warum:

Erinnern wir uns an die Formel für die Verstärkung:

A = -gm rds\_load || gm\_casc\*rds\_cacs \* rds\_bias||rds\_in ~-gm rds\_load

Wir möchten sowohl gm als auch rds\_load maximieren. Für eine große gm muss der Bias-Strom (DC-Strom) durch den Eingangstransistor groß sein. Für einen großen Widerstand rds\_load muss der Baisstrom durch die Last klein sein. Im Fall von direkter Kaskode haben die beiden Bauteile demselben Strom und es war unmöglich beide Bedingungen zu erfüllen.

**\*\*\***

**Folie 34**

Im Fall von gefalteter Kaskode erreichen wir beide Bedingungen durch INLoad << IPBias. Da der Biastrom im Last-Element klein ist, und sein rds groß, brauchen wir normalerweise keinen Stromspiegel mit Kaskode.

Beachten wir auch die Korrektur wegen Icasc\_in < Icasc\_out:

Iout\_casc = Iin\_casc \* rds /(1/gm\_casc + rds)

oder

Iout\_casc ~ Iin\_casc (gmcasc\*Rdsin)/(1+gmcasc\*Rdsin)

Für zu schwache gmcasc gilt Icasc\_in << Icasc\_out.

Um Iout nicht zu klein zu machen müssen Iload und dementsprechend gmcasc ausreichend groß sein.

Eine gute Wahl ist: Iload = 10% Ibias.

**\*\*\***

**Folie 35**

Wenn wir die Source des Eingangstransistors auf eine höhere Versorgungsspannung VSSA anschließen erreichen wir es, dass die positive- und negative Amplitude des Ausgangssignals symmetrisch sind.

Folie 35 zeigt diese Schaltung. Die Annahme ist Vdssat PMOS = 200mV, Vdssat NMOS = 100mV, Vdssat\_cascode = 100mV.

Wir bekommen:

Vout\_min ~ 100mV

Vout\_max ~ VDD - 300mV

Vout\_DC = VSSA + 500mV

**\*\*\***

**Folie 36**

Im Falle einer 65nm Technologie haben wir:

Vout\_min ~ 100mV

Vout\_max ~ 1.2V - 300mV = 900mV

Vout\_DC = VSSA + 500mV

In diesem Fall ist VSSA=0V optimal.